

符合性设计的要素

DESIGN FOR COMPLIANCE ESSENTIALS

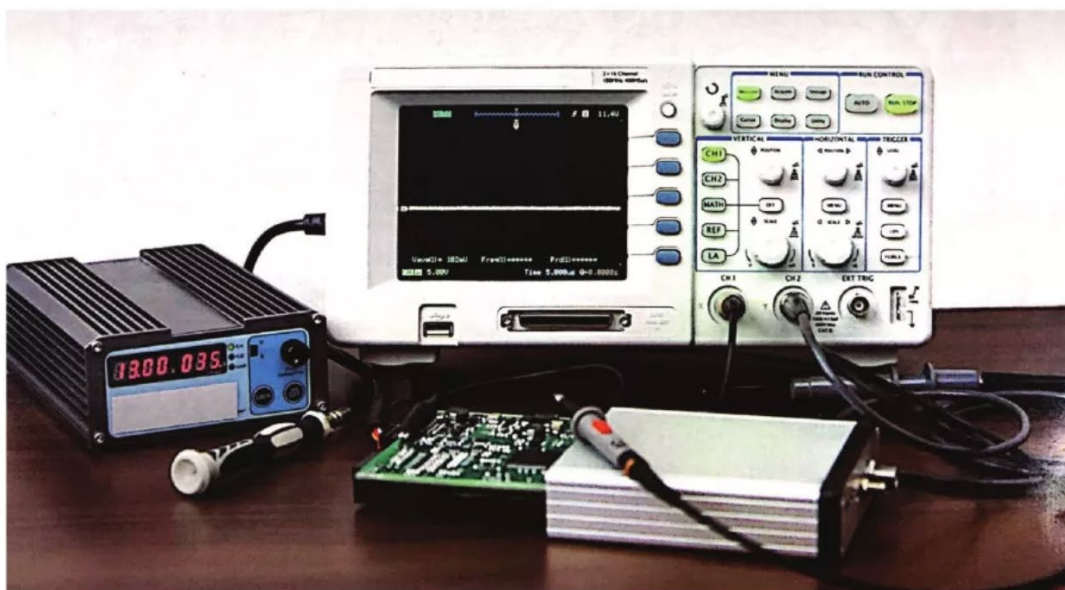
作者：Kenneth Wyatt Wyatt技术服务有限责任公司

虽然在一篇文章中就产品电磁兼容设计所涉及所有问题展开讨论是不现实的，但我将仍然尝试描述其中一些最常见的设计问题，这些问题也是我有机会参与数百位客户产品的开发工作而发现的。这些问题通常包括印刷电路板（PC板）设计、电缆、屏蔽和过滤。与之相关的、更加详细的资料可以在下文的参考文献部分找到。

如前所述，我所遇到的前三大产品问题包括：(1) 辐射发射，(2) 辐射抗扰度，(3) 静电放电。其他的可能会包括诸如传导发射，电快速瞬变脉冲，传导抗扰度和电浪涌等方面的问题。产品设计不当不仅会导致前三大类型的问题，对后者而言，它们中的大部分也同样是产品设计不当所造成的后果。

注：在本文或者是在我的咨询实践中，我更倾向于避免使用“地”一词。其原因是，对这个概念存在太多

的误解，而这些也会导致电磁兼容（EMC）的问题。相应的，直接使用电源和电源返回、信号和信号返回，或者只是简单称其为“返回平面”或者参考平面，这样概念会更加清晰。最后，我会倾向于使用电缆屏蔽或者屏蔽外壳被搭接在一起的说法，而不是说“接地”。当然，这其中唯一的例外就是所谓的“安全地”或“大地”。但这些与正确的EMC设计是没有任何关系的，其目的只是为了个人安全，免受电击。另外，我还想到一个例外就是三相电源线滤波器的接地连接。当然，我们偶尔还是会在印刷电路板上发现地平线，特别是对供电电源，但类似的，将某个产品或者系统连接到地平线并不会改善其电磁干扰，其原因是因为接地线具备非常高的电感（长度）。



印刷电路板的设计

实现产品电磁兼容/电磁干扰(EMC/EMI)性能的符合性验证,其中最重要的因素就是印刷电路板的设计。有个非常重要的问题需要引起大家的注意,那就是,对各种信息来源(书籍,杂志文章,或者制造商的应用说明)而言,在将其应用在印刷电路板的设计过程中以满足其产品的电磁兼容性能的符合性验证的时候,所有这些信息并非都是正确的,对那些10年以上或者与之相当的信息来源,尤其如此。此外,许多“经验法则”都是基于特定设计而言的,它们可能并不适用于未来的或由此衍生变化出来的各种设计。更有所谓的经验只是工作中碰巧幸运遇到而已。

印刷电路板必须从物理的角度进行设计,其最重要的考虑因素应该是高频信号、时钟和配电网络(PDNs, power distribution networks)必须被当作传输线来进行设计。这也就意味着那些被传递的信号或能量是以电磁波的形式进行传播的。其中,配电网络PDNs是一种非常特殊的情况,因为它在携带直流电流的同时,还必须能够以最小的开关噪声(SSN)为开关瞬态信号提供能量。配电网络PDNs的特性阻抗会被设计得非常低,(其典型阻抗为0.1~1.0欧姆)。另外,其信号线则通常被设计成特性阻抗为50~100欧姆的情形。

在前面的文章中介绍了电路理论的概念和场的理论的一些观点。一个成功的印刷电路板设计可以从这两种观点上进行解释和说明。电路理论认为,电流在一个回路中循环,从源到负载,然后返回到源。在许多失败的产品设计中,电流的返回路径没有得到很好的规划设定,在某些情况下,该路径就被破坏了。而电流返回路径中出现的中断或者间隙是造成辐射发射、辐射抗扰度和静电放电符合性测试失败的主要原因。

相应地,印刷电路板上的两块金属之间会有电场存在。

例如:返回平面(或走线)上的微带。如果其返回路径被破坏,那么电场线就会到终结在附近最接近的金属上,而不太可能是终结在你希望的回程上。当返回路径未被规划设定时,电磁场将被“泄漏”到整个介质区域中,从而导致共模电流在整个电路板上的流动。与此同时,它还会导致时钟或者其他的高速信号被交叉耦合到同一介质中的数十根其他的电路走线上。

图1显示了某个在信号走线和返回平面(或走线)之间的介质中传播电磁波。这其中既显示出了信号走线和

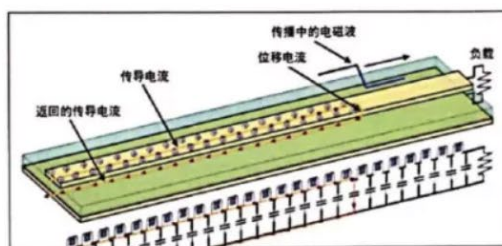


图1: 沿着微带线和参考平面传播的电磁波。承蒙Eric Bogatin提供图片

返回平面(或走线)中流动的传导电流,又显示出了穿过介质的位移电流。信号波波前的传播速度与光速成一定的比例,其具体情况则取决于介质材料的介电常数。在空气中,信号传播的速度大约为12英寸/ns。而在典型的FR4介质材料中,信号波的传播速度大约只是它在空气中传播速度的一半,即6英寸/ns。关于电磁波信号在印刷电路板中传播的物理介绍,请参阅参考文献1、2和3。

为了满足电路理论和场的理论中的一些观点,我们现在看到了相邻的电源和电源返回平面、以及相邻的信号和信号返回平面的重要性。对配电网络PDN的设计而言,它不仅要求采用大容量的,也要求使用去耦的“储能”电容器。其中,大容量的电容器(其典型的电容参数取值为4.7~10 μ F)通常被放置在靠近电源输入连接器的位置,而去耦电容器(其典型的电容参数取值为1到10nF)则通常被放置在最接近那些最嘈杂的开关设备的地方。不仅如此,最重要的是,要用最小的走线长度将电源引脚和信号返回平面连接起来。理想情况下,所有的去耦电容器都应该被安装在(或接近)连接过孔的地方,对每个电容器,都应该使用多个过孔以降低串联的电感。

以某个单一平面为参考的信号或者电源走线将始终有一个规划设定好的返回到源的返回路径。图2显示了电磁场是如何保持在返回平面两侧的介质中的情形。为了清楚起见,介质没有在图中被显示出来。

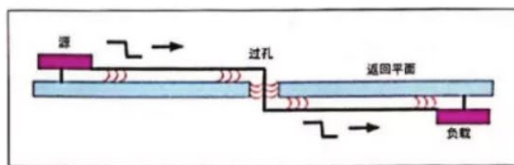


图2. 穿过某个单独的参考平面的信号走线

另一方面，参考图3，如果一个信号穿过了两个参考平面，事情就会变得复杂得多。如果这两个平面具有相同的电位(例如，两者都是返回平面)，那么可以在靠近信号穿越地点的附近简单增加一些连接过孔。这些将会形成一个很好的、返回到源的设定路径。

如果这两个平面的电位是不相等的(例如，电源和返回平面)，那么就必须在非常靠近信号过孔的地方设置电容器。预先设定的返回路径的缺失将会导致电磁场向周围介质区域泄露，如图所示，这些泄露的电磁场会耦合进入到其他的信号过孔中，或者从电路板的边缘处被辐射出去。

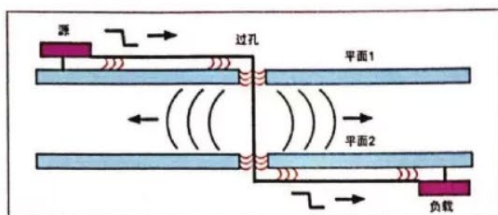


图3: 某根信号走线穿越两个参考平面。如果两个平面具有相同的电位(例如，信号或者电源的返回平面)，那么在信号穿越的位置附近设置一些过孔就足够了。但是，如果这两个平面的电位是不相等的(例如，电源和返回平面)，那么就必须在非常靠近信号过孔的地方设置电容器。预先设定的返回路径的缺失会导致电磁场向周围介质区域泄露，如图所示，这些泄露的电磁场会耦合进入到其他的信号过孔中。或者从电路板的边缘处被辐射出去。

例如，让我们看一看我经常遇到的一个很差(但非常典型)的层叠板结构。具体可参见图4。

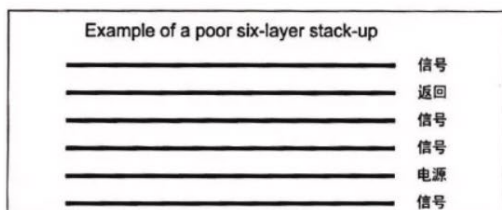


图4: 一个电磁干扰性能很差的六层印刷电路板的层叠结构。

请注意，电源和电源返回平面分别是第2和第5层。配电网PDN中出现的任何一个瞬态信号都将倾向于交叉耦合到它们之间的两个信号层上。类似地，只有信号层1和3有邻近的返回平面。第4层和第6层的信号都是以电源层为参考面的。而不是以信号的返回层为参考面。因此，如果以信号的返回平面为参考，那么沿返回路径传播的电磁波将会在返回途中跨越最接近的任意金属，从而返回到源。在这个传输过程中，电磁波将再次倾向于将时钟和其他的数字噪音耦合到整个印刷电路板中。

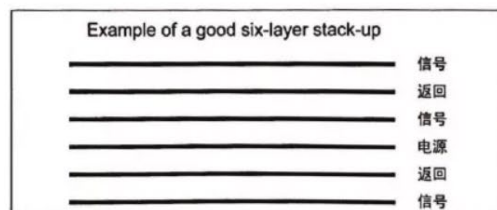


图5: 一个具备良好电磁干扰（EMI）性能的六层印刷电路板堆叠方案。每一个信号层都有一个邻近的返回平面，电源和电源返回平面也是相邻的。

一个更好的设计如图5所示。其中，我们取消了一个信号层，但我们可以看到电源和电源返回平面处于相邻的位置，而每个信号层都有一个相邻的信号(或电源)返回平面。当然，在两个返回平面之间设置多个过孔进行连接也是一个很好的方法，它可以确保返回到源的路径是阻抗最低的路径。

因此，使用这个设计或者类似的设计方案。其电磁干扰(EMI)方面的性能将会获得显著的提升。在许多情况下，简单地重新安排其印刷电路板中各层的堆叠方式就足以让产品通过发射测试了。

请注意，当在顶层和底层之间有信号运行的时候，仍然需要你在返回平面之间设置互联的过孔通道，并在电源和电源返回平面之间的、信号穿越的具体位置上，放置电容器，从而使返回路径最小化。理想情况下，这些互联的过孔应该位于距离每个信号过孔1~2mm之间的地方。

其他提示—其他的设计提示还包括将所有的电源和输入/输出(I/O)连接器沿板的一侧边缘放置。这样将有助于减少连接器之间的高频电压降，从而使电缆的辐射降到最小。此外，将数字、模拟和射频电路分开也是一个很好的办法，因为这会减少噪声和返回平面上的敏感

电路之间的交叉耦合。

当然，高速时钟，或者类似的高速信号，还应该在其尽可能短并尽可能直接的路径下运行。这些快速信号不应该印刷电路板边缘长距离运行，也不应该穿过附近的输入输出(I/O)或者电源连接器的位置。

返回平面上的间隙—我想回到前面提到的返回平面上有间隙或者狭槽的问题上，给出一个相关的例子，并说明一下为什么它对电磁干扰(EMI)会有不利的影响。当返回路径被截断的时候，传导电流就会被迫在狭槽周围或者在其附近，寻找最近的(阻抗最低的)路径返回到源。此时，电磁场会被激发出来，并“泄漏”到印刷电路板的各个位置。关于这个问题，我有一篇文章和一段很好的演示视频，其中还解释了它是如何影响共模电流，并最终对电磁干扰(EMI)特性产生影响的。具体的可以参见图6和参考文献4。

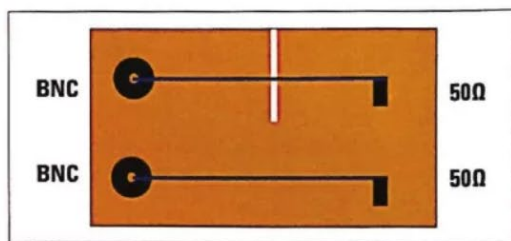


图6：终端连接50欧姆负载的传输线测试板。其中的一条传输线，在其返回平面上有一个间隙，而另一条传输线则没有。一个谐波梳状信号发生器(2纳秒的脉冲)被依次连接到两个BNC连接器上，并用电流探头来对固定在返回平面上的导线中的谐波电流进行测量。

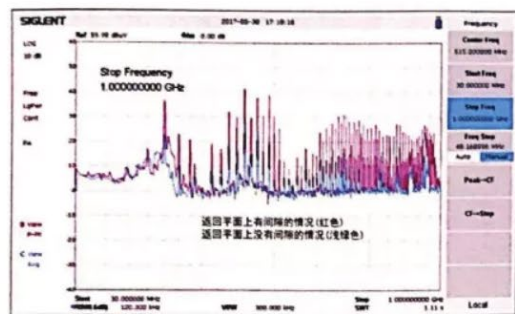


图7：用电流探针测量到的、连接线（连接到返回平面）上产生的共模电流。其中浅绿色的曲线代表的是返回回路

径上没有间隙的情况，而红色的曲线代表的则是返回回路径上有间隙的情况。两者有10~15dB的差别，在返回回路径上有间隙的情况下，电流会更高。这些谐波电流可能会造成辐射，并可能会导致产品在辐射发射测试中的失败。

图7 给出了有间隙的走线和没有间隙的走线之间的差别。请注意，对于有间隙的走线(红色)而言，其谐波电流会高出10到15dB。没能注意到信号和电源的返回路径是辐射发射测试失败的一个主要原因。

屏蔽

与屏蔽外壳相关的两个问题是使所有的部件彼此都能很好地搭接在一起，并在允许电源或者输入输出(I/O)电缆穿透它的同时，也不会导致共模电流的泄漏。完成金属薄板之间的搭接可能需要专门的电磁干扰(EMI)衬垫或者其他的一些搭接技术。当其最大尺寸接近半个波长的时候，屏蔽外壳上的缝隙或者孔洞变成一个不可忽视的问题。

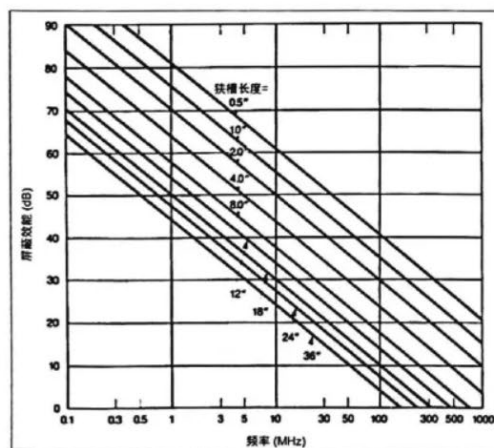


图8：表减随狭槽变化的图表。承蒙Henry Ott提供图片

图8中显示的是一个简便的图表，利用它可以确定20 dB衰减所对应的狭槽的长度情况。例如，如果产品设计需要至少20dB的屏蔽效能，那么狭槽最长只能有半英寸。有关屏蔽的更多详细的信息，请参阅参考文献5和6。《干扰技术》(Interference Technology)也有一个可以免费下载的《2017年电磁干扰(EMI)屏蔽指南》(2017 EMI

Shielding Guide)，其中也有一些非常好的参考信息(参考文献7)。

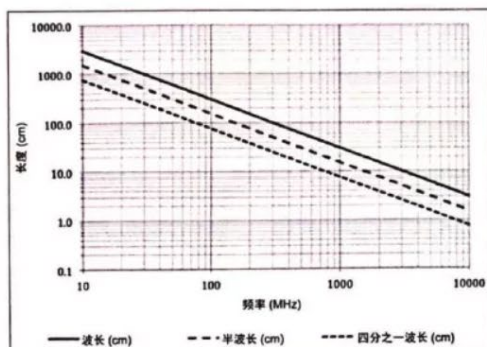


图9：在自由空间中用于确定谐振频率随电缆或狭槽长度的改变的一种方便的图表。半波长狭槽类似偶极天线，特别麻烦，承蒙Patrick Andre提供图片。

如图9所示的图表给出了1000MHz情况下的波长和半波谐振情况。这是一个非常方便的工具，利用它可以确定电缆或狭槽作为天线的效率情况。

电缆穿透屏蔽—在追踪研究辐射发射问题原因的时候，我发现其中的首要问题就来自于电缆辐射。电缆之所以会造成电磁辐射，其原因就在于它们在穿透屏蔽外壳的时候没有经过一些特殊的处理，即要么将电缆的屏蔽层与金属屏蔽外壳进行搭接，要么在输入/输出 (I/O) 或者电源连接器上使用共模滤波器(如图10和图11所示)。这种情况之所以经常发生，就是因为现在的大多数连接器都是直接固定在印刷电路板上，然后通过屏蔽外壳上的孔洞穿透屏蔽外壳的。一旦电缆被插入连接器，它就是在“穿透屏蔽”，随之而来的最常见的后果就是造成电磁干扰。

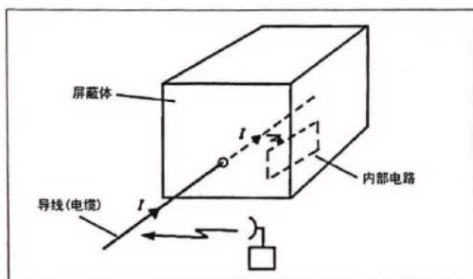


图10：电缆穿透屏蔽外壳会导致屏蔽失效。这个例子显示了外部的电源是如何在输入/输出 (I/O) 电缆上感应出噪声电流的，而这些噪声电流有可能会对内部电路造成破坏。反之也会如此，即内部的噪声电流会随电缆流出屏蔽壳，并导致电磁发射的相关问题。承蒙Henry Ott提供图片。

有四种组合或者情形是必须予以考虑的：屏蔽或者非屏蔽的产品，屏蔽或者非屏蔽电缆。对消费/商业产品而言。电源线电缆通常都是没有屏蔽的，因此需要在电源线穿透屏蔽外壳或者在印刷电路板的连接器的位置处安装电源线滤波器。对屏蔽电缆而言，必须将电缆的屏蔽层搭接到产品的屏蔽外壳上(最理想的情况是360°的连接)。如果产品没有屏蔽外壳，那么就必须在电源线穿透外壳或者在印刷电路板的连接器的位置添加一个滤波。图11中显示的是连接器简单穿透屏蔽外壳所造成的一个非常常见的后果。

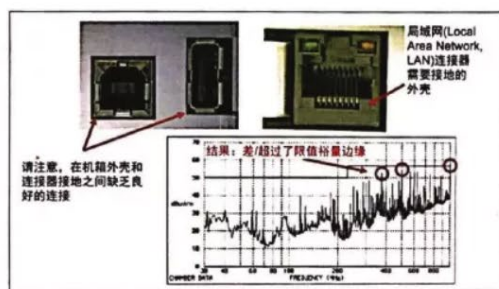


图11：电缆穿过屏蔽外壳所造成的后果，其原因是输入/输出 (I/O) 连接器没有与屏蔽外壳搭接在一起。

电缆屏蔽的端接—如果输入/输出 (I/O) 电缆是通过“猪尾”连接（软辫线连接）的方式连接到连接器外壳的，那么它会带来另一个潜在的问题。理想的情况下，电缆的屏蔽层应该以360°搭接的方式实现最低阻抗的端接。软辫线的连接方式会通过引入相对较高的阻抗来降低电缆的屏蔽效果。例如，某根1英寸的软辫线连接在100MHz的频率下会具备12欧姆的阻抗，而且频率越高，情况还会越糟。这对于高清晰度多媒体接口 (HDMI, High Definition Multimedia Interface) 电缆来说，问题会尤其严重，因为HDMI的相关工作组 (<http://www.hdmiglobal.org>)。

hdmi.org)在最初的时候未能指定一个将电缆屏蔽搭接到连接器上的方法。这个问题可能会在2017年发布的最新版本的标准中得到修正。

滤波

在这方面，我不会进行详细的介绍。因为Interference Technology有一个非常好的电磁干扰(EMI)滤波器的技术

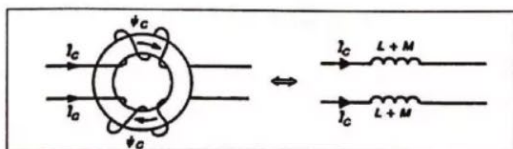


图12: 某种典型的、用于输入/输出(I/O)滤波的共模滤波器。两个绕组的绕向相反，因此能消除共模电流。

指南可以免费下载(具体可以参考文献8)。这里只需要说一句就够了，即滤波器以及其它的瞬态保护产品在电源和输入/输出(I/O)连接器上是非常重要的。典型的共模拓扑结构如图12所示。大多数信号级的共模扼流圈都可以获得其表面贴装的封装形式。相比之下，因为要处理电流，所以电源(功率)扼流圈要大得多。根据其适用的额定电流的高低，我们可以获得表面贴装型或者过孔安装型的电源扼流圈。许多以太网连接器还会内置共模滤波器。

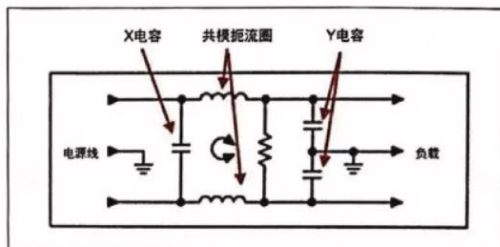


图13: 某个典型的、用于电源输入滤波的通用滤波器

电源输入滤波器一般都是为了抑制差模电流和共模电流而设计的。某个典型的拓扑结构如图13所示。“X”电容器被设计用来滤除差模电流的，而共模扼流圈和“Y”。电容器则是设计用来滤除共模电流的。图中所显示的电阻通常是100千欧姆，其目的仅仅是将储存在电容上的线电压排出一部分，以达到某个安全的水平。

对于信号的一般滤波，我们可以在参考文献9中找到一个关于滤波器各种可能的拓扑结构的方便使用的图表，这里我们将其再现于图14中。适当的拓扑结构取决于源和负荷的阻抗。如果不知道这些阻抗，那么我们可以使用“PI型”或者“T型”的拓扑结构(在图表上分别对应#3或者#5)。

铁氧体或者感性的元器件不应与集成电路的电源引脚串联使用，因为这只会降低该区域的去耦电容器在提供所需能量方面的能力，它在集成电路输出级的同步切换过程中，会导致更高的电源噪声。如果要使用它们，应该从大容量电容器的“上游”位置插入。

铁氧体扼流圈一通常会被添加到输入，输出(I/O)电缆上的一个常见的滤波器件就是铁氧体扼流圈。铁氧体扼流圈可以是夹紧型的，也可以是与电缆组件一起组装的固体磁芯。

通常，它们会被用作降低电缆发射或者敏感性的最后手段。

铁氧体扼流圈具有与频率特性相关的阻抗，通常其阻抗峰值在100MHz~300MHz左右。为满足一些更低频率的应用，某些材料的阻抗峰值会被设计出现在低于100MHz的频率范围内。铁氧体扼流圈的最大阻抗可以在25欧姆到1000欧姆之间，它具体取决于所采用的铁氧体的材料和扼流圈的类型。

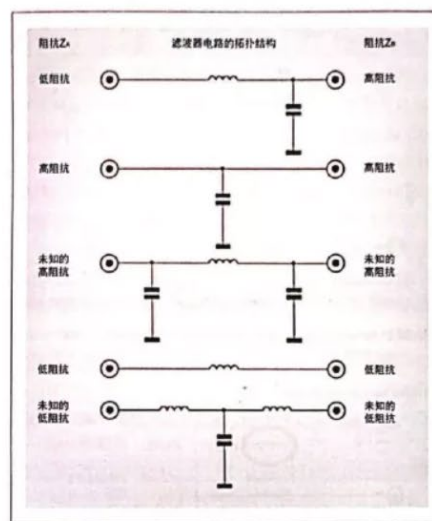


图14: 五种常见的滤波器拓扑结构，其选择使用取决于源和负载的阻抗。承蒙Wurth Elektronik提供图片。

你可能已经注意到，在电缆上夹紧铁氧体扼流圈有时没有任何效果。这通常是因为扼流圈具有与源和负载相同的或者更低的有效阻抗而造成的。铁氧体扼流圈的衰减很容易进行计算。

$$\text{衰减量 (dB)} = 20 \times \log((Z_{in} + Z_{\text{ferrite}} + Z_{load}) / (Z_{in} + Z_{load}))$$

例如：如果我们在供电电源的电缆上添加一个100欧姆的铁氧体扼流圈，其系统阻抗为10欧姆（源和负载阻抗为10欧姆），那么其衰减量为：

$$\text{衰减量} = 20 \times \log((10 + 100 + 10) / (10 + 10)) = 15.5 \text{ dB}$$

有关铁氧体扼流圈和一般滤波器设计的更多细节，请参阅参考文献9。

瞬态保护

为了保护内部电路不受诸如静电放电（ESD）、电快速瞬态脉冲（EFT）或者电源线浪涌（由于雷击）等电气暂态信号的影响，应该在所有的电源和输入 / 输出（I/O）端口安装瞬态保护的装置。这些装置会感知到瞬态信号的出现，并对瞬态脉冲实施“钳制”，将其幅度限制到指定的钳位电压以下。

信号线路中的瞬态保护器通常必须在它和返回平面（或大地）之间并联上一个非常小的电容（其典型的参数取值为0.2pF~1pF）。为保证信号的完整性，电容的具体参数大小要取决于数据速率。对这些硅基器件，我们可以购买其非常小的表面贴装的封装类型。

电源线浪涌保护所要求的瞬态保护装置通常会大得多。

它们可以有多种类型。气体放电管或者金属氧化物可变电阻器是最常见的，但更大的硅基器件也是可以用的。有关浪涌保护设计的更多信息可在参考文献9中找到。

总结

大多数的电磁兼容 / 电磁干扰（EMC / EMI）问题都是因为屏蔽性能不佳、电缆穿透了屏蔽体、电缆屏蔽的端接太差、滤波性能差等原因造成的，而这其中最重要的是印刷电路板（PC）的布局和堆叠设计不当。对于这些常见的设计错误给予关注，会使得合规验证失败的风险更低，从而降低项目的成本，避免进度的延误。

参考文献

1. Bogatin, Signal Integrity-Simplified, Prentice-Hall, 3rd edition, 2018.
2. Morrison, Grounding and Shielding-Circuits and Interference, Wiley, 2016.
3. Morrison, Fast Circuit Boards-Energy Management, Wiley, 2018.
4. Wyatt. Gaps in Return Planes-Bad News for EMI (with video demo), <https://interferencetechnology.com/gaps-return-planes-bad-news-emi/>
5. Ott, Electromagnetic Compatibility Engineering, Wiley, 2009.
6. Andre and Wyatt, EMI Troubleshooting Cookbook for Product Designers, SciTech, 2014.
7. ITEM, 2017 EMI Shielding Guide. <https://learn.interferencetechnology.com/2017-emi-shielding-guide/>
8. ITEM, 2017 EMC Filters Guide, <http://learn.interferencetechnology.com/2017-emc-filters-guide/>
9. Wurth Elektronik, Trilogy of Magnetics, 4th edition, 2010.

